

OPTICAL DETECTOR

Publication number: JP2004207505

Publication date: 2004-07-22

Inventor: SUZUKI YASUHIRO · MIZUNO SEIICHIRO

Applicant: HAMAMATSU PHOTONICS KK

Classification:

- International: G01J1/44; H01L27/146; H01L31/10; H04N3/15; G01J1/44; H01L27/146; H01L31/10; H04N3/15; (IPC1-7): H01L31/10; G01J1/44

- European: H01L27/146A4; H01L27/146E5H; H04N3/15E

Application number: JP20020375130 20021225

Priority number(s): JP20020375130 20021225

Also published as:

EP1577955 (A1)
WO2004059748 (A)
US2006261254 (A1)
CN1732574 (A)
AU2003292622 (A1)

Abstract of JP2004207505

PROBLEM TO BE SOLVED: To provide an optical detector capable of improving any of dynamic range, S/N ratio, and speed of optical detection.

SOLUTION: A photodiode

PD<SB>m.n</SB>generates the electric charge whose quantity corresponds to the intensity of incident light and stores it in a junction capacity part. An electric charge quantity level discriminating circuit

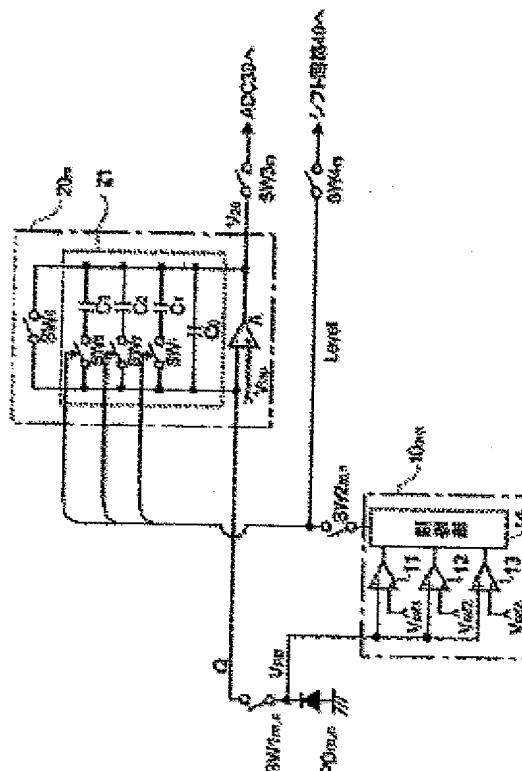
10<SB>m.n</SB> discriminates the level of quantity of the electric charge stored in the junction capacity part after generated by the photodiode PD<SB>m.n</SB>. An integration circuit 20<SB>m</SB> stores the electric charge inputted from the photodiode.

PD<SB>m,n</SB>through a switch

SW1<SB>m.n</SB>in an integrated capacity part 21, with the capacity value of the integrated capacity part 21 set based on the judging result of the electric charge level, and outputs a voltage value V<SB>20</SB>corresponding to the stored charge quantity. A voltage value

V<SB>inp</SB>which is inputted in the non-inversion input terminal of an amplifier A of the integration circuit 20<SB>m</SB>for a second period when the integrated capacity part 21 of the integration circuit 20<SB>m</SB>accumulates an electric charge is set larger than for a first period when the junction capacity part of the photodiode PD<SB>m.n</SB>accumulates the electric charge.

COPYRIGHT: (C)2004.JPO&NCIPI



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-207505
(P2004-207505A)

(43) 公開日 平成16年7月22日(2004.7.22)

(51) Int.CI.⁷
H01L 31/10
G01J 1/44F I
H01L 31/10
G01J 1/44G
Jテーマコード(参考)
2G065
5FO49

審査請求 未請求 請求項の数 7 O.L (全 16 頁)

(21) 出願番号	特願2002-375130 (P2002-375130)	(71) 出願人	000236436 浜松ホトニクス株式会社 静岡県浜松市市野町1126番地の1
(22) 出願日	平成14年12月25日 (2002.12.25)	(74) 代理人	100088155 弁理士 長谷川 芳樹
		(74) 代理人	100089978 弁理士 堀田 長也
		(74) 代理人	100092657 弁理士 寺崎 史朗
		(74) 代理人	100110582 弁理士 柴田 昌聰
		(72) 発明者	鈴木 保博 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会社内

最終頁に続く

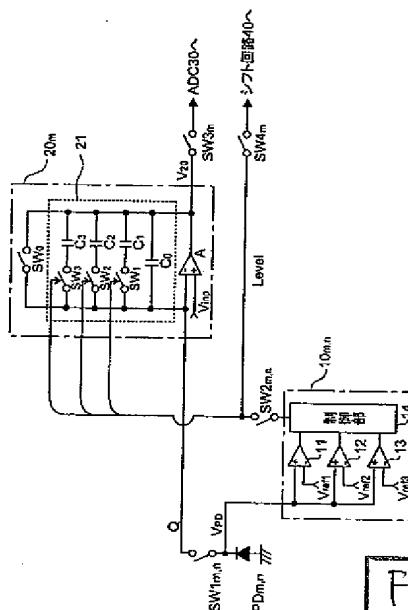
(54) 【発明の名称】光検出装置

(57) 【要約】

【課題】光検出のダイナミックレンジ、S/N比および速度の何れをも向上させることができる光検出装置を提供する。

【解決手段】フォトダイオード P D_{m,n}は、入射光強度に応じた量の電荷を発生して接合容量部に蓄積する。電荷量レベル判定回路 10_{m,n}は、フォトダイオード P D_{m,n}で発生して接合容量部に蓄積されている電荷の量のレベルを判定する。積分回路 20_mは、この電荷量レベル判定結果に基づいて積分容量部 21 の容量値が設定され、フォトダイオード P D_{m,n}からスイッチ SW1_{m,n}を経て入力した電荷を積分容量部 21 に蓄積して、この蓄積電荷量に応じた電圧値 V₂₀を出力する。積分回路 20_mのアンプ A の非反転入力端子に入力する電圧値 V_{inp}は、フォトダイオード P D_{m,n}の接合容量部が電荷を蓄積している第1期間より、積分回路 20_mの積分容量部 21 が電荷を蓄積している第2期間の方が大きく設定される。

【選択図】 図3



FP03-0379
(JP)
'08.9.09
OA

【特許請求の範囲】

【請求項 1】

アノード端子とカソード端子との間に逆バイアス電圧が印加され、入射光強度に応じた量の電荷を発生して接合容量部に蓄積するフォトダイオードと、
スイッチを介して入力端が前記フォトダイオードと接続され、前記フォトダイオードの前記接合容量部に蓄積された電荷を前記入力端に入力して、その電荷を積分容量部に蓄積し、この蓄積した電荷の量に応じた電圧値を出力する積分回路と、
前記フォトダイオードの前記接合容量部が電荷を蓄積している第1期間に前記フォトダイオードに印加される逆バイアス電圧の値より、前記積分回路の前記積分容量部が電荷を蓄積している第2期間に前記フォトダイオードに印加される逆バイアス電圧の値を大きくする逆バイアス電圧変更手段と、
を備えることを特徴とする光検出装置。
10

【請求項 2】

前記積分回路が、第1入力端子、第2入力端子および出力端子を有するアンプを含み、前記第1入力端子と前記出力端子との間に前記積分容量部を有し、
前記逆バイアス電圧変更手段が、前記第1期間と前記第2期間とで、前記アンプの前記第2入力端子に入力する電圧値を変更することで、前記フォトダイオードに印加される逆バイアス電圧の値を変更する、
ことを特徴とする請求項1記載の光検出装置。
20

【請求項 3】

前記フォトダイオードが、第1導電型の第1半導体領域上に第2導電型の第2半導体領域を有し、この第2半導体領域上に第1導電型の第3半導体領域を有し、前記第1半導体領域と前記第2半導体領域とがPn接合を形成しており、前記第2半導体領域と前記第3半導体領域とがPn接合を形成している埋込型のものである、ことを特徴とする請求項1記載の光検出装置。
20

【請求項 4】

前記フォトダイオードが、前記第2半導体領域より不純物濃度が高い第2導電型の第4半導体領域を前記第2半導体領域に接して有しており、入射光強度に応じた量の電荷を前記第4半導体領域より出力する、ことを特徴とする請求項3記載の光検出装置。
30

【請求項 5】

前記フォトダイオードで発生した電荷の量のレベルを判定する電荷量レベル判定回路を更に備え、
前記積分容量部の容量値が可変であって、該容量値が前記電荷量レベル判定回路により判定されたレベルに基づいて設定される、
ことを特徴とする請求項1記載の光検出装置。
30

【請求項 6】

N個(Nは2以上の整数)の前記フォトダイオードに対して1個の前記積分回路が設けられている、ことを特徴とする請求項1記載の光検出装置。
40

【請求項 7】

第1基板上に前記フォトダイオードが設けられ、第2基板上に前記積分回路が設けられており、前記第1基板と前記第2基板とが互いにパンフ接続されている、ことを特徴とする請求項1記載の光検出装置。
40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フォトダイオードを含む光検出装置に関するものである。

【0002】

【従来の技術】

光検出装置は、1個または複数個のフォトダイオードと、アンプおよび積分容量部を含む積分回路とを備えた装置であり、また、さらに以降の信号処理回路をも備える場合がある
50

(例えば特許文献1を参照)。この光検出装置では、フォトダイオードと積分回路の入力端との間にスイッチが設けられており、該スイッチが開いている間は、フォトダイオードへの光入射に応じて発生した電荷はフォトダイオードの接合容量部に蓄積され、該スイッチが閉じると、それまでフォトダイオードの接合容量部に蓄積されていた電荷は、スイッチを経て積分回路の入力端に入力して、積分回路の積分容量部に蓄積される。そして、積分容量部に蓄積された電荷の量に応じた電圧値が積分回路より出力される。複数のフォトダイオードそれぞれで発生した電荷の量に応じて積分回路より出力される電圧値に基づいて、複数のフォトダイオードが配列された光検出面へ入射する光が検出される。また、光検出装置は、積分回路から出力された電圧値(アナログ値)をデジタル値に変換するA/D変換回路を更に構えている場合があり、この場合には、入射光強度がデジタル値として得られ、さらにコンピュータ等により処理することが可能となる。

10

【0008】

【特許文献1】

国際公開第02/12845号パンフレット

【0004】

【発明が解決しようとする課題】

上記のような光検出装置における光検出のダイナミックレンジ、S/N比および速度それぞれは、フォトダイオードの接合容量値に依存しており、それ故に、これらを共に向上させることは困難であった。

【0005】

20

本発明は、上記問題点を解消する為になされたものであり、光検出のダイナミックレンジ、S/N比および速度の何れをも向上させることができる光検出装置を提供することを目的とする。

【0006】

【課題を解決するための手段】

本発明に係る光検出装置は、(1)アノード端子とカソード端子との間に逆バイアス電圧が印加され、入射光強度に応じた量の電荷を発生して接合容量部に蓄積するフォトダイオードと、(2)スイッチを介して入力端がフォトダイオードと接続され、フォトダイオードの接合容量部に蓄積された電荷を入力端に入力して、その電荷を積分容量部に蓄積し、この蓄積した電荷の量に応じた電圧値を出力する積分回路と、(3)フォトダイオードの接合容量部が電荷を蓄積している第1期間にフォトダイオードに印加される逆バイアス電圧の値より、積分回路の積分容量部が電荷を蓄積している第2期間にフォトダイオードに印加される逆バイアス電圧の値を大きくする逆バイアス電圧変更手段と、を備えることを特徴とする。

30

【0007】

40

本発明に係る光検出装置によれば、フォトダイオードと積分回路の入力端との間に設けられたスイッチが開いている期間には、該フォトダイオードへの光入射に応じて発生した電荷は、該フォトダイオードの接合容量部に蓄積される。そして、スイッチが閉じると、それまでフォトダイオードの接合容量部に蓄積されていた電荷は、スイッチを経て積分回路に入力して、積分回路の積分容量部に蓄積され、この積分容量部に蓄積された電荷の量に応じた電圧値が積分回路から出力される。特に本発明では、フォトダイオードに印加される逆バイアス電圧の値は、フォトダイオードの接合容量部が電荷を蓄積している第1期間より、積分回路の積分容量部が電荷を蓄積している第2期間に大きくなるよう設定される。これにより、この光検出装置は、光検出のダイナミックレンジ、S/N比および速度の何れをも向上させることができます。

【0008】

本発明に係る光検出装置は、(1)積分回路が、第1入力端子、第2入力端子および出力端子を有するアンプを含み、第1入力端子と出力端子との間に積分容量部を有し、(2)逆バイアス電圧変更手段が、第1期間と第2期間とで、アンプの第2入力端子に入力する電圧値を変更することで、フォトダイオードに印加される逆バイアス電圧の値を変更するのが

50

好適である。この場合には、アンプの第1入力端子と第2入力端子とは、イマジナリショートの関係にあり、各々の電位が互いに等しい。したがって、アンプの第2入力端子に入力する電圧値を変更することで、フォトダイオードに印加される逆バイアス電圧の値を変更することができる。

【0009】

本発明に係る光検出装置は、フォトダイオードが、第1導電型の第1半導体領域上に第2導電型の第2半導体領域を有し、この第2半導体領域上に第1導電型の第3半導体領域を有し、第1半導体領域と第2半導体領域とがPn接合を形成しており、第2半導体領域と第3半導体領域とがPn接合を形成している埋込型のものであるのが好適である。また、フォトダイオードが、第2半導体領域より不純物濃度が高い第2導電型の第4半導体領域を第2半導体領域に接して有しており、入射光強度に応じた量の電荷を第4半導体領域より出力するのが好適である。このようにフォトダイオードが埋込型のものである場合には、リーク電流の発生が抑制されるので、この点でも光検出のS/N比向上に有効である。また、積分回路の積分容量部が電荷を蓄積している第2期間に、フォトダイオードの逆バイアス電圧を大きくすることで、完全空乏化するので、フォトダイオードの接合容量値を殆ど零にすることができる、したがって、この点でも、光検出のS/N比向上および高速化に有効である。なお、第1導電型および第2導電型のうち一方はn型を意味し他方はP型を意味する。

10

【0010】

本発明に係る光検出装置は、フォトダイオードで発生した電荷の量のレベルを判定する電荷量レベル判定回路を更に備え、積分容量部の容量値が可変であって、該容量値が電荷量レベル判定回路により判定されたレベルに基づいて設定されるのが好適である。この場合には、フォトダイオードで発生して接合容量部に蓄積された電荷のレベルが電荷量レベル判定回路により判定される。そして、この判定された電荷量レベルに基づいて積分回路の積分容量部の容量値が設定される。その後、積分回路において、フォトダイオードで発生した電荷が積分容量部に蓄積されて、この蓄積された電荷の量に応じた値の電圧信号が outputされる。入射光強度が大きい場合には、積分回路の可変容量部の容量値は比較的大きな値に設定され、入射光強度が大きくても飽和することなく入射光強度が検出される。一方、入射光強度が小さい場合には、積分回路の可変容量部の容量値は比較的小さな値に設定され、入射光強度が小さくても感度よく入射光強度が検出される。また、この光検出装置では、各フォトダイオードに対して電荷量レベル判定回路が1対1に設けられていれば、積分回路の積分容量部の容量値が迅速に設定され、高速に入射光強度が検出され得る。

20

【0011】

本発明に係る光検出装置は、N個（Nは2以上の整数）のフォトダイオードに対して1個の積分回路が設けられているのが好適である。また、第1基板上にフォトダイオードが設けられ、第2基板上に積分回路が設けられていて、第1基板と第2基板とが互いにパンフ接続されているのが好適である。この場合には、第1基板および第2基板それぞれ、最適の製造アロセスで製造することが可能であり、集積度を向上する上で好ましい。

30

【0012】

【発明の実施の形態】

40

以下、添付図面を参照して本発明の実施の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

【0013】

図1は、本実施形態に係る光検出装置1の全体構成図である。図2は、本実施形態に係る光検出装置1の一部構成図である。図1において点線で示された範囲Y内のブロックX₁～X_Mそれぞれの詳細が図2に示されている。これらの図に示される光検出装置1は、M組のユニットU₁～U_M、A/D変換回路30、シフト回路40および制御回路50を備えている。各ユニットU_nは、互いに同様の構成を有しており、N個のフォトダイオードP_{D_{n,1}}～P_{D_{n,N}}、N個の電荷量レベル判定回路10_{n,1}～10_{n,N}、N個の第1スイッチS_{W1,n,1}～S_{W1,n,N}、N個の第2スイッチS_{W2,n,1}～S_{W2,n,N}、積分回路20_n、スイ

50

スイッチ SW_{8..n} およびスイッチ SW_{4..n} を備えている。ここで、M は 1 以上の整数であり、N は 2 以上の整数であり、m は 1 以上 M 以下の各整数であり、また、以下に現れるのは 1 以上 N 以下の各整数である。

【0014】

各フォトダイオード PD_{m..n} は、アノード端子とカソード端子との間に逆バイアス電圧が印加され、入射光強度に応じた量の電荷 Q を発生して接合容量部に蓄積するものである。スイッチ SW_{1..n} は、フォトダイオード PD_{m..n} に対応して該フォトダイオード PD_{m..n} と積分回路 20_{m..n} の入力端との間に設けられ、電気的に開閉が可能である。

【0015】

電荷量レベル判定回路 10_{m..n} は、フォトダイオード PD_{m..n} に対応して設けられており、該フォトダイオード PD_{m..n} で発生して接合容量部に蓄積されている電荷 Q の量のレベルを判定し、そのレベル判定結果を示すレベル信号 Level を出力する。スイッチ SW_{2..n} は、電荷量レベル判定回路 10_{m..n} に対応して該電荷量レベル判定回路 10_{m..n} と積分回路 20_{m..n} の間に設けられ、電気的に開閉が可能である。なお、レベル信号 Level は、1 ピットまたは複数ビットのデジタル信号であり、スイッチ SW_{2..n} は、このビット数分のスイッチを含む。

【0016】

積分回路 20_{m..n} は、容量値が可変である積分容量部を有しており、フォトダイオード PD_{m..n} とスイッチ SW_{1..n} を介して入力端が接続されている。そして、積分回路 20_{m..n} は、これらのスイッチ SW_{1..1} ～ SW_{1..N} の順次の開閉に伴い N 個のフォトダイオード PD_{m..1} ～ PD_{m..N} それぞれから順次に出力されて該入力端に入力した電荷 Q を積分容量部に蓄積して、この蓄積した電荷 Q の量に応じた電圧値 V₂₀ を出力端より出力する。また、積分容量部は、電荷量レベル判定回路 10_{m..n} とスイッチ SW_{2..n} を介して接続されており、これらのスイッチ SW_{2..1} ～ SW_{2..N} の順次の開閉に伴い N 個の電荷量レベル判定回路 10_{m..1} ～ 10_{m..N} それぞれから順次に出力されて入力したレベル信号 Level に基づいて容量値が設定される。

【0017】

A/D 変換回路 80 は、積分回路 20_{m..n} の出力端よりスイッチ SW_{8..n} を経て順次に出力された電圧値 V₂₀ を入力し、この電圧値 V₂₀ を A/D 変換して、この電圧値 V₂₀ に応じたデジタル値を出力する。シフト回路 40 は、A/D 変換回路 80 から出力されたデジタル値を入力するとともに、電荷量レベル判定回路 10_{m..1} ～ 10_{m..N} それぞれよりスイッチ SW_{2..n} およびスイッチ SW_{4..n} を経て出力されたレベル信号 Level を順次に入力して、このレベル信号 Level に応じてデジタル値のビットをシフトして、このビットをシフトしたデジタル値を出力する。

【0018】

制御回路 50 は、光検出装置 1 の全体の動作を制御するものである。特に、制御回路 50 は、各スイッチ SW_{1..n} および各スイッチ SW_{2..n} それぞれの開閉を制御する。具体的には、制御回路 50 は、各フォトダイオード PD_{m..n} について、対応するスイッチ SW_{2..n} を閉じ、対応する電荷量レベル判定回路 10_{m..n} より出力されたレベル信号 Level に基づいて積分回路 20_{m..n} の積分容量部の容量値が設定された後に、対応するスイッチ SW_{1..n} を閉じて、積分回路 20_{m..n} における積分動作を開始させる。また、制御回路 50 は、積分回路 20_{m..n}、スイッチ SW_{8..n}、スイッチ SW_{4..n}、A/D 変換回路 80 およびシフト回路 40 それぞれの動作のタイミングをも制御する。この動作タイミングについては後に詳述する。なお、図 1 では、制御回路 50 から他の要素回路へ送られる制御信号の図示が省略されている。

【0019】

図 8 は、本実施形態に係る光検出装置 1 に含まれる電荷量レベル判定回路 10_{m..n} および積分回路 20_{m..n} の回路図である。なお、この図には、第 m ユニット U_m 内の第 n フォトダイオード PD_{m..n} に対応する部分のみが示されている。

【0020】

10

20

50

30

40

50

電荷量レベル判定回路 10_{n,n}は、8つの比較器 11～13 および制御部 14 を有している。比較器 11～13 それぞれの非反転入力端子は、フォトダイオード P D_{n,n} のカソード端子とスイッチ SW_{1,n,n}との接続点に接続されている。比較器 11 の反転入力端子には基準電圧値 V_{ref1} が入力し、比較器 12 の反転入力端子には基準電圧値 V_{ref2} が入力し、比較器 13 の反転入力端子には基準電圧値 V_{ref3} が入力している。そして、比較器 11～13 それぞれは、非反転入力端子および反転入力端子それぞれに入力する電圧値を大小比較して、その比較結果を表す信号を制御部 14 へ出力する。制御部 14 は、比較器 11～13 それぞれより出力された信号を入力して、積分回路 20_n の積分容量部の容量値を設定する為の 3 ビットのレベル信号 Level を出力する。

【0021】

10

ここで、基準電圧値 V_{ref1}～V_{ref3} は

$$V_{ref1} = V_{sat}/2 \quad (1a)$$

$$V_{ref2} = V_{sat}/4 \quad (1b)$$

$$V_{ref3} = V_{sat}/8 \quad (1c)$$

なる関係式を満たす。V_{sat} は一定値である。したがって、8つの比較器 11～13 は、フォトダイオード P D_{n,n} のカソード端子の電位 V_{PD} が、

$$V_{PD} < V_{sat}/8 \quad (2a)$$

$$V_{sat}/8 \leq V_{PD} < V_{sat}/4 \quad (2b)$$

$$V_{sat}/4 \leq V_{PD} < V_{sat}/2 \quad (2c)$$

$$V_{sat}/2 \leq V_{PD} \quad (2d)$$

のうちの何れの範囲にあるかを判定することができます。制御部 14 より出力されるレベル信号 Level は、電位 V_{PD} が上記 (2a) 式～(2d) 式の何れの範囲にあるかを示すものである。

【0022】

20

積分回路 20_n は、アンプ A、容量素子 C₀～C₃ およびスイッチ SW₀～SW₃ を有している。アンプ A は、非反転入力端子、反転入力端子および出力端子を有している。アンプ A の非反転入力端子と反転入力端子とは、イマジナリショートの関係にあり、各々の電位が互いに等しい。アンプ A の非反転入力端子は電圧値 V_{inp} を入力する。この電圧値 V_{inp} は一定では無く可変であり、例えば、第 1 定電圧源からの一一定電圧値 V_H および第 2 定電圧源からの一一定電圧値 V_L (V_L < V_H) の何れか一方が選択されてアンプ A の非反転入力端子に入力する。アンプ A の反転入力端子は、スイッチ SW_{1,n,n} を介して、フォトダイオード P D_{n,n} のカソード端子に接続されている。アンプ A の出力端子は、スイッチ SW_{3,n} を介して A/D 変換回路 30 に接続されている。互いに直列接続されたスイッチ SW₁ および容量素子 C₁、互いに直列接続されたスイッチ SW₂ および容量素子 C₂、互いに直列接続されたスイッチ SW₃ および容量素子 C₃、容量素子 C₀、ならびに、スイッチ SW₀ は、アンプ A の反転入力端子と出力端子との間に互いに並列に設けられている。

80

【0028】

容量素子 C₀～C₃ およびスイッチ SW₁～SW₃ は、容量値が可変の積分容量部 21 を構成している。すなわち、スイッチ SW₁～SW₃ それぞれは、電荷量レベル判定回路 10_{n,n} の制御部 14 より出力されたスイッチ SW_{2,n,n} を経て入力したレベル信号 Level に基づいて開閉し、この開閉状態に応じて積分容量部 21 の容量値が定まる。ここで、容量素子 C₀～C₃ それぞれの容量値は、

$$C_0 = C \quad (8a)$$

$$C_1 = C \quad (8b)$$

$$C_2 = 2C \quad (8c)$$

$$C_3 = 4C \quad (8d)$$

なる関係式を満たす。C は一定値である。

【0024】

40

積分容量部 21 は、レベル信号 Level に基づいて、つまり、8つの比較器 11～13 により判定されたフォトダイオード P D_{n,n} のカソード端子の電位 V_{PD} に応じて、以下のように、スイッチ SW₁～SW₃ それぞれの開閉が設定されることで、容量値が設定される。す

50

なわち、電位 V_{PD} が上記(2a)式の範囲にあると判定されたときには、スイッチ $SW_1 \sim SW_3$ の全てが開いて、積分容量部 2 1 の容量値が $C (=C_0)$ に設定され、電位 V_{PD} が上記(2b)式の範囲にあると判定されたときには、スイッチ SW_1 のみが閉じて、積分容量部 2 1 の容量値が $2C (=C_0 + C_1)$ に設定される。電位 V_{PD} が上記(2c)式の範囲にあると判定されたときには、スイッチ SW_1 および SW_2 が閉じて、積分容量部 2 1 の容量値が $4C (=C_0 + C_1 + C_2)$ に設定される。また、電位 V_{PD} が上記(2d)式の範囲にあると判定されたときには、スイッチ $SW_1 \sim SW_3$ の全てが閉じて、積分容量部 2 1 の容量値が $8C (=C_0 + C_1 + C_2 + C_3)$ に設定される。そして、これら何れの場合にも、積分回路 2 0 の出力端より出力される電圧値 V_{20} は、

$$V_{sat}/2 \leq V_{20} < V_{sat} \quad (4)$$

10

なる範囲にある。

【0025】

そして、A/D 変換回路 8 0 は、各ユニット U_n の積分回路 2 0 の出力端より出力されてスイッチ SW_3 を経て順次に到達した電圧値 V_{20} を入力して、この電圧値 V_{20} を A/D 変換し、この電圧値 V_{20} に応じたデジタル値を出力する。このとき、A/D 変換回路 8 0 に入力する電圧値 V_{20} は常に上記(4)式の範囲内にあるから、A/D 変換回路 8 0 は、電圧値 V_{20} を A/D 変換する際に、出力するデジタル値の全ビットを有効に利用することができる。

【0026】

シフト回路 4 0 は、A/D 変換回路 8 0 から出力されたデジタル値を入力するとともに、電荷量レベル判定回路 $10_{n,1} \sim 10_{n,N}$ それぞれから出力されたレベル信号 Level を順次に入力して、このレベル信号 Level に応じてデジタル値のビットをシフトして、このビットをシフトしたデジタル値を出力する。なわち、A/D 変換回路 8 0 から出力されるデジタル値が K ビット (K は 2 以上の整数) のデジタル値 ($D_{K,1}, D_{K,2}, \dots, D_1, D_0$) であるとしたとき、シフト回路 4 0 は $(K+3)$ ビットのデジタル値を出力する。シフト回路 4 0 は、電位 V_{PD} が上記(2a)式の範囲にあることをレベル信号 Level が示している場合には、入力したデジタル値をビットシフトすることなく、 $(K+3)$ ビットのデジタル値 (0, 0, 0, $D_{K,1}, D_{K,2}, \dots, D_1, D_0$) を出力する。電位 V_{PD} が上記(2b)式の範囲にあることをレベル信号 Level が示している場合には、入力したデジタル値を 1 ビット分だけ上位にシフトして、 $(K+3)$ ビットのデジタル値 (0, 0, $D_{K,1}, D_{K,2}, \dots, D_1, D_0, 0$) を出力する。電位 V_{PD} が上記(2c)式の範囲にあることをレベル信号 Level が示している場合には、入力したデジタル値を 2 ビット分だけ上位にシフトして、 $(K+3)$ ビットのデジタル値 (0, $D_{K,1}, D_{K,2}, \dots, D_1, D_0, 0, 0$) を出力する。また、電位 V_{PD} が上記(2d)式の範囲にあることをレベル信号 Level が示している場合には、入力したデジタル値を 3 ビット分だけ上位にシフトして、 $(K+3)$ ビットのデジタル値 ($D_{K,1}, D_{K,2}, \dots, D_1, D_0, 0, 0, 0$) を出力する。

【0027】

次に、本実施形態に係る光検出装置 1 の動作タイミングについて説明する。図 4 は、本実施形態に係る光検出装置 1 の動作を説明するタイミングチャートである。この図には、上から順に、フォトダイオード $PD_{n,n+1}$ に対応するスイッチ $SW_{2,n,n+1}$ の開閉タイミングおよびスイッチ $SW_{1,n,n+1}$ の開閉タイミング、各ユニット U_n においてフォトダイオード $PD_{n,n+1}$ に隣接して配置されるフォトダイオード $PD_{n,n}$ に対応するスイッチ $SW_{2,n,n}$ の開閉タイミングおよびスイッチ $SW_{1,n,n}$ の開閉タイミング、各ユニット U_n においてフォトダイオード $PD_{n,n}$ に隣接して配置されるフォトダイオード $PD_{n,n+1}$ に対応するスイッチ $SW_{2,n,n+1}$ の開閉タイミングおよびスイッチ $SW_{1,n,n+1}$ の開閉タイミング、積分回路 2 0 からの出力電圧値 V_{20} 、ならびに、A/D 変換回路 8 0 からの出力デジタル値、が示されている。

【0028】

時刻 $t_{n,1,2}$ から時刻 $t_{n,1}$ までの期間内に、各ユニット U_n において、N 個のスイッチ $SW_{2,n,1} \sim SW_{2,n,N}$ のうちの第 $(n-1)$ 番目のスイッチ $SW_{2,n,n-1}$ のみが閉じて、第 $(n$

50

−1)番目の電荷量レベル判定回路 $10_{n,n}$ の制御部 14 により出力されたレベル信号 Level 1 が積分回路 20_n に入力して、このレベル信号に基づいて積分回路 20_n の積分容量部 21 の容量値が設定される。このときのレベル信号は、時刻 $t_{n+1,2}$ において電荷量レベル判定回路 $10_{n,n}$ の 3 つの比較器 11～13 により判定されて制御部 14 により保持されたフォトダイオード $PD_{n,n}$ のカソード端子の電位 V_{PD} のレベルを示すものである。また、積分回路 20_n のスイッチ SW_0 が時刻 $t_{n+1,2}$ に閉じて、積分回路 20_n から出力される電圧値 V_{20} が初期化される。

【0029】

時刻 $t_{n,1}$ から時刻 $t_{n,2}$ までの期間に、各ユニット U_n において、N 個のスイッチ $SW_{1,n} \sim SW_{1,n}$ のうちの第 n 番目のスイッチ $SW_{1,n}$ のみが閉じ、積分回路 20_n のスイッチ SW_0 が開いており、積分回路 20_n の積分動作が行なわれる。このとき積分回路 20_n により出力される電圧値 V_{20} は、N 個のフォトダイオード $PD_{n,1} \sim PD_{n,N}$ のうち第 n 番目のフォトダイオード $PD_{n,n}$ により出力されて積分容量部 21 に蓄積された電荷の量および積分容量部 21 の容量値に応じたものである。

10

【0030】

また、この時刻 $t_{n,1}$ から時刻 $t_{n,2}$ までの期間に、M 個のスイッチ $SW_{3,n}$ が順次に閉じ、M 個のスイッチ $SW_{4,n}$ が順次に閉じる。そして、M 個のユニット $U_1 \sim U_M$ から順次に出力された電圧値 V_{20} は、A/D 変換回路 80 によりデジタル値に変換され、このデジタル値は、M 個のユニット $U_1 \sim U_M$ から順次に出力されたレベル信号 Level に応じて、シフト回路 40 によりビットシフトされて出力される。このときシフト回路 40 により順次に出力されるデジタル値は、M 個のユニット $U_1 \sim U_M$ それぞれに含まれる第 n 番目のフォトダイオード $PD_{n,n}$ への入射光強度に応じたものである。

20

【0031】

そして、時刻 $t_{n,2}$ に、各ユニット U_n において、第 n 番目のスイッチ $SW_{1,n}$ およびスイッチ $SW_{2,n}$ それぞれが開き、積分回路 20_n のスイッチ SW_0 が閉じて、第 n 番目のフォトダイオード $PD_{n,n}$ についての一連の動作が終了する。時刻 $t_{n,2}$ から時刻 $t_{n+1,2}$ までの期間に、各ユニット U_n の第 $(n+1)$ 番目のフォトダイオード $PD_{n,n+1}$ について同様に一連の動作が行なわれる。更に以降も同様である。

【0032】

図 5 は、本実施形態に係る光検出装置 1 の動作を更に詳細に説明するタイミングチャートである。この図には、上から順に、スイッチ $SW_{1,n,n}$ の開閉タイミング、積分回路 20_n のスイッチ SW_0 の開閉タイミング、積分回路 20_n からの出力電圧値 V_{20} 、および、積分回路 20_n のアンプ A の非反転入力端子に入力する電圧値 V_{inP} 、が示されている。

30

【0033】

時刻 t_n 以前には、スイッチ $SW_{1,n,n}$ が開いており、積分回路 20_n のスイッチ SW_0 も開いている。また、積分回路 20_n のアンプ A の非反転入力端子に入力する電圧値 V_{inP} は低電圧値 V_L とされている。

【0034】

時刻 t_n に積分回路 20_n のスイッチ SW_0 が閉じて、積分回路 20_n からの出力電圧値 V_{20} が初期化される。また、時刻 t_n から時刻 t_n までの期間に、積分回路 20_n のアンプ A の非反転入力端子に入力する電圧値 V_{inP} は、低電圧値 V_L から高電圧値 V_H へ変化する。

40

【0035】

時刻 t_n に積分回路 20_n のスイッチ SW_0 が閉じて、積分回路 20_n は電荷蓄積動作が可能な状態となる。そして、時刻 t_n にスイッチ $SW_{1,n,n}$ が閉じると、それまでにフォトダイオード $PD_{n,n}$ の接合容量部に蓄積されていた電荷は、スイッチ $SW_{1,n,n}$ を経て積分回路 20_n に入力して、積分回路 20_n の積分容量部 21 に蓄積され、この積分容量部 21 に蓄積された電荷の量に応じた電圧値 V_{20} が積分回路 20_n から出力される。

【0036】

時刻 t_n に積分回路 20_n のスイッチ SW_0 が閉じて、積分回路 20_n における電荷蓄積動作が終了し、積分回路 20_n からの出力電圧値 V_{20} が初期化される。また、時刻 t_n から時刻

50

七_eまでの期間に、積分回路20_nのアンプAの非反転入力端子に入力する電圧値V_{inp}は、高電圧値V_Hから低電圧値V_Lへ変化する。そして、時刻七_eに、スイッチSW_{1n,n}が開き、積分回路20_nのスイッチSW₀も開く。ここで、本実施形態では、積分回路20_nのスイッチSW₀が閉じている期間（積分回路20_nからの出力電圧値が初期化されている期間）に、積分回路20_nのアンプAの非反転入力端子に入力する電圧値V_{inp}を、低電圧値V_Lから高電圧値V_Hへ、または、高電圧値V_Hから低電圧値V_Lへ切替えるので、積分回路20_nの出力電圧値には影響しない。

【0087】

以上のように、本実施形態に係る光検出装置1では、フォトダイオードPD_{m,n}の接合容量部が電荷を蓄積している第1期間（時刻七_a以前、時刻七_e以後）に、積分回路20_nのアンプAの非反転入力端子に電圧値V_{inp}として低電圧値V_Lが入力され、一方、積分回路20_nの積分容量部21が電荷を蓄積している第2期間（時刻七_e～七_d）に、積分回路20_nのアンプAの非反転入力端子に電圧値V_{inp}として高電圧値V_Hが入力される。また、図6に示されるように、フォトダイオードの逆バイアス電圧値が大きいほど、フォトダイオードの接合容量値は小さい。したがって、第1期間と比べて、第2期間の方が、フォトダイオードPD_{m,n}に印加される逆バイアス電圧は大きくなり、フォトダイオードPD_{m,n}の接合容量値は小さくなる。すなわち、積分回路20_nのアンプAの非反転入力端子に入力する電圧値V_{inp}を変更する手段は逆バイアス電圧変更手段として作用する。

【0088】

このように、フォトダイオードPD_{m,n}の接合容量部が電荷を蓄積している第1期間では、フォトダイオードPD_{m,n}の接合容量値が大きいので、フォトダイオードPD_{m,n}の接合容量部は多くの電荷を蓄積することができる。一方、積分回路20_nの積分容量部21が電荷を蓄積している第2期間では、フォトダイオードPD_{m,n}の接合容量値が小さいので、フォトダイオードPD_{m,n}の接合容量部から積分回路20_nの積分容量部21への電荷の移動が低雑音かつ高速に行なわれ得る。すなわち、本実施形態に係る光検出装置1は、光検出のダイナミックレンジ、S/N比および速度の何れをも向上させることができる。

【0089】

また、本実施形態に係る光検出装置1では、各フォトダイオードPD_{m,n}に対して電荷量レベル判定回路10_{m,n}が設けられていることにより、該フォトダイオードPD_{m,n}より出力される電荷の量に応じた適切な容量値が積分回路20_nの積分容量部21に設定されるので、各々のフォトダイオード毎（すなわち、1画面における画素毎）の入射光強度検出のダイナミックレンジが拡大され得る。また、各フォトダイオードPD_{m,n}に対して電荷量レベル判定回路10_{m,n}が1対1に設けられていることにより、積分回路20_nの積分容量部21の容量値が迅速に設定され、高速に入射光強度が検出され得る。また、個々の電荷量レベル判定回路10_{m,n}は、電荷量レベルの判定に際し、高速処理を要しないから、消費電力が小さくて済む。

【0090】

次に、本実施形態に係る光検出装置1の実装形態について、図7～図10を用いて説明する。図7は、本実施形態に係る光検出装置1における第1基板100および第2基板200の配置関係を示す斜視図である。この図に示されるように、光検出装置1は、第1基板100および第2基板200の2つの基板上に分割されている。そして、第1基板100上には、M×N個のフォトダイオードPD_{1,1}～PD_{M,N}がM行N列に配列されている。また、第2基板200上には、M×N個の電荷量レベル判定回路10_{1,1}～10_{M,N}、M×N個のスイッチSW_{1,1}～SW_{1,M,N}、M×N個のスイッチSW_{2,1}～SW_{2,M,N}、M個の積分回路20₁～20_M、M個のスイッチSW_{3,1}～SW_{3,M}、M個のスイッチSW_{4,1}～SW_{4,M}、A/D変換回路80、シフト回路40および制御回路50が配置されている。そして、この図に示されるように、それぞれの基板が光の入射方向に重なるように積層されて実装されている。第1基板100上の各フォトダイオードPD_{m,n}のカソード電極と、第2基板200上のスイッチSW_{1,n}および電荷量レベル判定回路10_{n,n}とが、パンフを介して電気的に接続されている。

10

20

30

40

50

【0041】

図8は、本実施形態に係る光検出装置1における第1基板100および第2基板200の断面の1例を示す図である。なお、この図において、左右方向に基本パターンが繰り返されて示されているので、以下では1つの基本パターンについてのみ説明する。

【0042】

第1基板100は、n型半導体基板の第1面(図で上側の面)上に、該n型基板とともにPn接合を形成してフォトダイオードPDを構成するP⁺領域111と、アイソレーション領域としてのn⁺領域112とが形成されている。また、第1基板100は、n型半導体基板の第2面(図で下側の面)上に、ポンディングパッド124とオーミック接続を形成するn⁺型不純物層121と、表面を保護するための絶縁性の保護層122と、保護層122を貫通してn⁺型不純物層121と電気的に接続されるポンディングパッド124とが形成されている。さらに、第1基板100は、第1面と第2面との間を貫通する貫通孔が設けられ、その貫通孔内には、内壁に形成された絶縁物層を介して貫通電極181が設けられている。そして、第1基板100の第1面側においてP⁺領域111と貫通電極181とを電気的に接続する金属配線113が絶縁膜114上に形成され、また、第2面側において貫通電極181と電気的に接続されたポンディングパッド128が形成されている。

10

【0043】

第2基板200は、半導体基板の第1面(図で上側の面)上に、スイッチSW1の第1端と電気的に接続されたポンディングパッド223、及び、接地電位に電気的に接続されたポンディングパッド224が形成されている。そして、第1基板100のポンディングパッド128と第2基板200のポンディングパッド228とはパンア428により互いに接続されており、また、第1基板100のポンディングパッド124と第2基板200のポンディングパッド224とはパンア424により互いに接続されている。第1基板100と第2基板200との間の隙間は樹脂により充填されている。

20

【0044】

また、第1基板100の第1面の側には、シンチレータ510および遮蔽材520が配置されている。シンチレータ510は、第1基板100のP⁺領域111の上方に設けられ、X線等のエネルギー線が入射することによりシンチレーション光を発生するものである。遮蔽版520は、第1基板100のn⁺領域112の上方に設けられ、X線等のエネルギー線の透過を阻止するとともに、シンチレータ510を固定するものである。

30

【0045】

この図8に示される構成では、X線等のエネルギー線がシンチレータ510に入射すると、そのシンチレータ510よりシンチレーション光が発生する。さらに、そのシンチレーション光が第1基板100のP⁺領域111に入射すると、Pn接合部において電荷が発生する。その電荷は、金属配線113、貫通電極181、ポンディングパッド128、パンア428および第2基板200のポンディングパッド228を経て、第2基板200上に形成されているスイッチSW1を経て積分回路20の入力端に入力する。

【0046】

図9は、本実施形態に係る光検出装置1における第1基板100および第2基板200の断面の他の例を示す図である。なお、この図においても、左右方向に基本パターンが繰り返されて示されているので、以下では1つの基本パターンについてのみ説明する。

40

【0047】

第1基板100は、n型半導体基板の第1面(図で上側の面)上に、電荷再結合を防止するためのn⁺型アキュムレーション層151と、表面を保護するための絶縁性の保護層152とが形成されている。第1基板100は、n型半導体基板の第2面(図で下側の面)上に、該n型基板とともにPn接合を形成してフォトダイオードPDを構成するP⁺領域161が形成され、アイソレーション領域としてのn⁺領域162が形成され、これらの上に保護層168が形成されている。また、第1基板100の第2面には、P⁺領域161と電気的に接続されたポンディングパッド164と、n⁺領域162と電気的に接続さ

50

れたポンディングパッド 165 とが形成されている。

【0048】

第2基板 200 は、半導体基板の第1面（図で上側の面）上に、スイッチ SW1 の第1端と電気的に接続されたポンディングパッド 264 およびポンディングパッド 265 が形成されている。そして、第1基板 100 のポンディングパッド 164 と、第2基板 200 のポンディングパッド 264 とは、パンフ 464 により互いに接続されている。第1基板 100 のポンディングパッド 165 と、第2基板 200 のポンディングパッド 265 とは、パンフ 465 により互いに接続されている。第1基板 100 と第2基板 200 との間の隙間は樹脂により充填されている。

【0049】

また、第1基板 100 の第1面の側には、シンチレータ 510 および遮蔽材 520 が配置されている。シンチレータ 510 は、第1基板 100 の P+ 領域 161 の上方に設けられ、X 線等のエネルギー線が入射することによりシンチレーション光を発生するものである。遮蔽版 520 は、第1基板 100 の n+ 領域 162 の上方に設けられ、X 線等のエネルギー線の透過を阻止するとともに、シンチレータ 510 を固定するものである。また、第1基板 100 は、P+ 領域 161 が形成された部分において、第1面側が研削されて、厚みが薄くされている。

10

【0050】

この図 9 に示される構成では、X 線等のエネルギー線がシンチレータ 510 に入射すると、そのシンチレータ 510 よりシンチレーション光が発生する。さらに、そのシンチレーション光が第1基板 100 を透過して P+ 領域 161 に入射すると、Pn 接合部において電荷が発生する。その電荷は、ポンディングパッド 164、パンフ 464 および第2基板 200 のポンディングパッド 264 を経て、第2基板 200 上に形成されているスイッチ SW1 を経て積分回路 20 の入力端に入力する。

20

【0051】

以上のように構成される本実施形態に係る光検出装置 1 は、以下のような効果を奏すことができる。すなわち、各フォトダイオード P D_{m,n} から積分回路 20 の入力端へ至るまでの電荷移動経路が短くなつて、その経路上の配線における寄生容量が小さくなり、それ故、積分回路 20 から出力される電圧値に含まれる雑音が小さく、正確な光検出をすることが可能となる。また、第1基板 100 上には積分回路 20 などの信号処理の為の回路が設けられていないので、画素数の増加や高密度化が可能である。また、第1基板 100 より第2基板 200 を小さくすることが容易となり、複数の光検出装置 1 を配列する際に、フォトダイオードが設けられている各々の第1基板 100 を極めて接近させて又は接触させて配列することができる。また、フォトダイオードアレイが形成される第1基板 100 と、積分回路 10 などの信号処理回路が形成される第2基板 200 とで、最適な製造プロセスを採用することができるので、この点でも好ましい。

30

【0052】

以上に説明した図 8 および図 9 では各フォトダイオードは通常の構成のものであったが、図 10 に示されるように埋込型のフォトダイオードであるのも好適である。

【0053】

図 10 (a) に断面構成が示された埋込型フォトダイオードは、P 領域 141 と、この P 領域 141 の上の n 領域 142 と、この n 領域 142 の上の P+ 領域 143 とを有している。P 領域 141 と n 領域 142 とは Pn 接合を形成しており、n 領域 142 と P+ 領域 143 とも Pn 接合を形成している。n 領域 142 は金属配線 118 と電気的に接続されている。

40

【0054】

図 10 (b) に断面構成が示された埋込型フォトダイオードは、P 領域 141 と、この P 領域 141 の上の n 領域 142 と、この n 領域 142 の上の P+ 領域 143 と、n 領域 142 と接する n+ 領域 144 とを有している。P 領域 141 と n 領域 142 とは Pn 接合を形成しており、n 領域 142 と P+ 領域 143 とも Pn 接合を形成している。n 領域 144 は金属配線 119 と電気的に接続されている。

50

域142は金属配線113と電気的に接続されている。P領域141とn領域142とはPn接合を形成しており、n領域142とP⁺領域143ともPn接合を形成している。n⁺領域144は金属配線113と電気的に接続されている。

【0055】

このようにフォトダイオードが埋込型のものである場合には、リーク電流の発生が抑制されるので、この点でも光検出のS/N比向上に有効である。また、積分回路20_nの積分容量部21が電荷を蓄積している第2期間に、フォトダイオードの逆バイアス電圧を大きくすることで、Pn接合面付近に発生する空乏層が完全なものとなるので、フォトダイオードの接合容量値を殆ど零にすることができます。したがって、この点でも、光検出のS/N比向上および高速化に有効である。

10

【0056】

本発明は、上記実施形態に限定されるものではなく、種々の変形が可能である。例えば、第1基板100および第2基板200それぞれの断面構造は、図8および図9それぞれに示されたものに限定されない。また、第2基板200上には、更に他の回路が設けられてもよい。また、電荷量レベル判定回路10_{n,n}において電荷量レベルを判定する為の値の個数は任意であり、この個数に応じて、積分回路20_nの積分容量部が有し得る容量値の場合の数が定まる。

【0057】

【発明の効果】

以上、詳細に説明したとおり、本発明によれば、フォトダイオードに印加される逆バイアス電圧の値は、フォトダイオードの接合容量部が電荷を蓄積している第1期間より、積分回路の積分容量部が電荷を蓄積している第2期間に大きくなるよう設定される。これにより、この光検出装置は、光検出のダイナミックレンジ、S/N比および速度の何れをも向上させることができます。

20

【図面の簡単な説明】

【図1】本実施形態に係る光検出装置1の全体構成図である。

【図2】本実施形態に係る光検出装置1の一部構成図である。

【図3】本実施形態に係る光検出装置1に含まれる電荷量レベル判定回路10_{n,n}および積分回路20_nの回路図である。

【図4】本実施形態に係る光検出装置1の動作を説明するタイミングチャートである。

30

【図5】本実施形態に係る光検出装置1の動作を更に詳細に説明するタイミングチャートである。

【図6】フォトダイオードの逆バイアス電圧値と接合容量値との関係を示すグラフである。

【図7】本実施形態に係る光検出装置1における第1基板100および第2基板200の配置関係を示す斜視図である。

【図8】本実施形態に係る光検出装置1における第1基板100および第2基板200の断面の1例を示す図である。

【図9】本実施形態に係る光検出装置1における第1基板100および第2基板200の断面の他の例を示す図である。

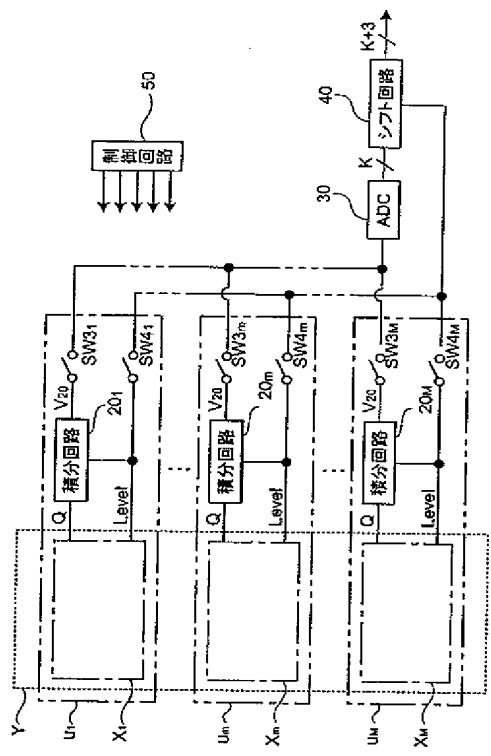
40

【図10】埋込型フォトダイオードの説明図である。

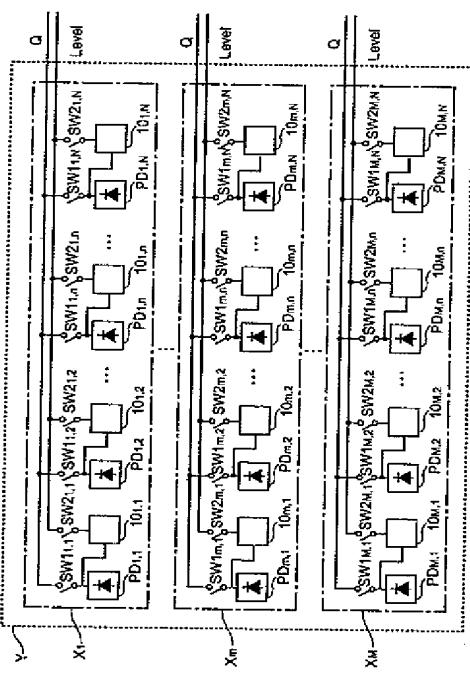
【符号の説明】

1 光検出装置、10 電荷量レベル判定回路、20 積分回路、30 A/D変換回路、40 シフト回路、50 制御回路、A アンプ、C 容量素子、PD フォトダイオード、SW, SW1, SW2, SW3, SW4 スイッチ。

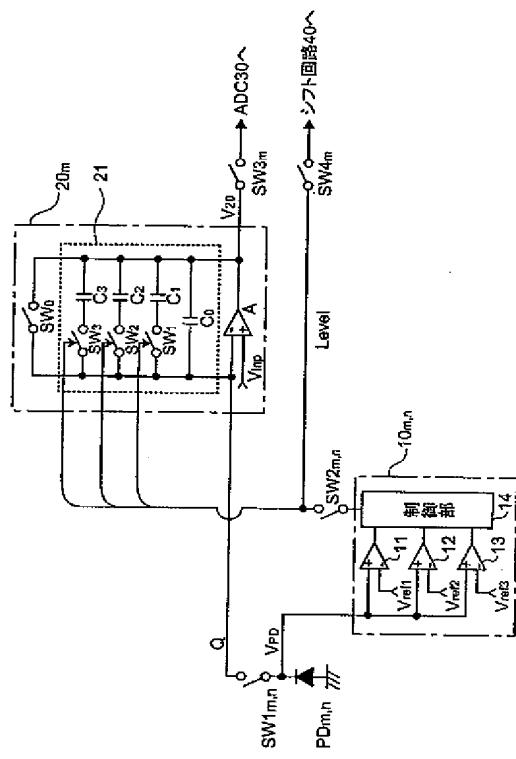
【図1】



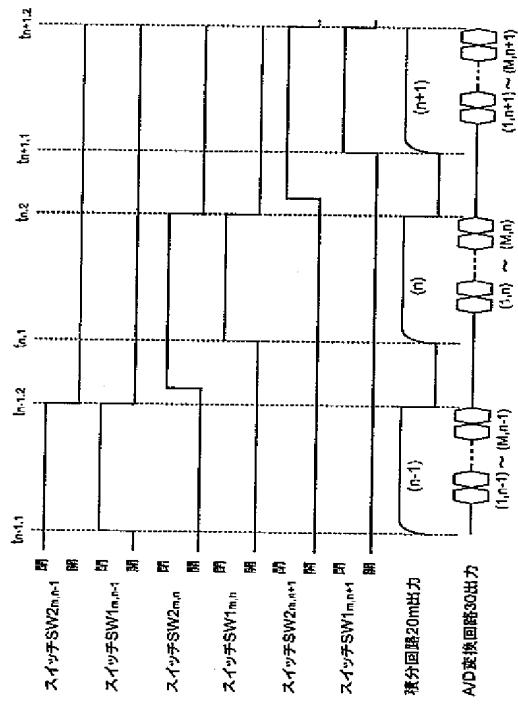
【図2】



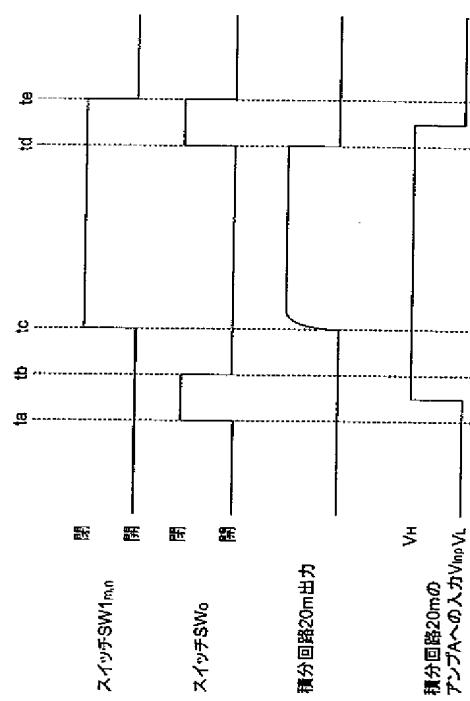
【図3】



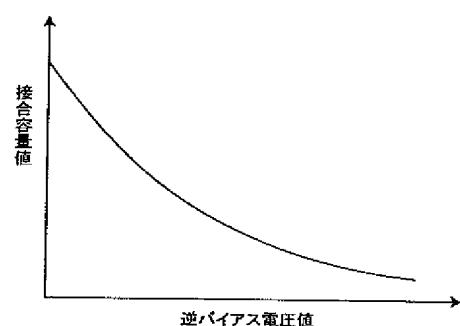
【図4】



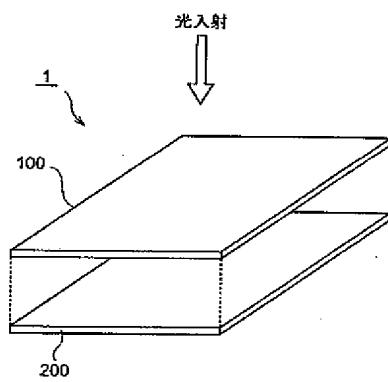
【図5】



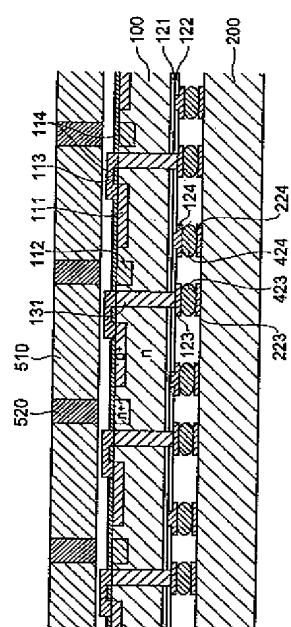
【図6】



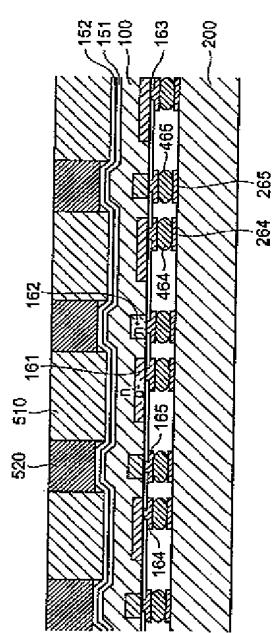
【図7】



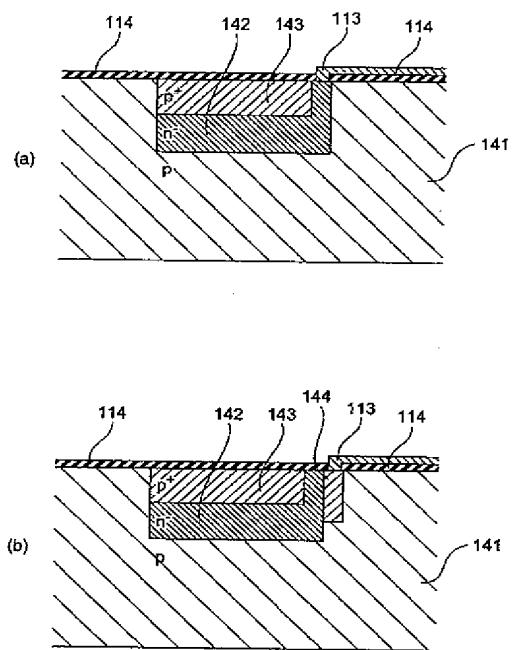
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 水野 誠一郎
静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会社内
Fターム(参考) 2G065 AA04 BA09 BA34 BC08 BC15 BC22 CA30
5F049 MA02 NA03 NA04 NB07 QA01 RA02 RA04 UA01 UA13 UA14
WA07